

低功耗低频快速起振电路的设计

赵毅强, 杨 栋

(天津大学 电子信息工程学院, 天津 300072)

摘要: 为了解决传统皮尔斯结构互补氧化金属半导体(CMOS)晶振电路功耗过大的问题,设计了一种集成在专用无磁计量芯片内的低频起振电路,其振荡频率为32.768 kHz. 在传统皮尔斯结构晶振电路的基础上,设计了改进型推拉式晶振电路,有效地降低了功耗,并能实现快速起振. 采用Chartered的0.35 μm 工艺模型进行设计、仿真和流片. 测试结果表明,电路工作正常,稳定后平均工作电流仅为0.39 μA ,起振时间小于200 ms,满足了系统对频率及功耗的要求.

关键词: 晶振;低频起振;低功耗

中图分类号: TN 492

文献标志码: A

文章编号: 0254-0037(2012)07-1068-05

Design of Low-power Low-frequency and Fast Start-up Circuit

ZHAO Yi-qiang, YANG Dong

(School of Electronic Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract: To overcome the limitation of large power in the complementary metal-oxide semiconductor (CMOS) crystal oscillator circuit of traditional Pierce structure, this paper designed a kind of low-frequency start-up oscillator circuit, which was integrated into the specific non-magnetic meter chip and its frequency was 32.768 kHz. By using the improved push-pull crystal oscillator circuit, the designed circuit could reduce the power effectively and start up quickly. The circuit design, simulation and tapeout had been completed by adopting the Chartered 0.35 μm process model. Test results show that the circuit works correctly, the average operating current is 0.39 μA after stabilization, and the start-up time is less than 200 ms, which meet the system's requirements of frequency and power.

Key words: crystal oscillator; low-frequency start-up; low power

皮尔斯结构的互补氧化金属半导体(CMOS)晶振电路^[1],作为时钟发生器,在数字电路中有着广泛的应用.

随着电路集成度的提高,要求时钟电路也集成在片内,而传统皮尔斯结构晶振电路的功耗较大,导致系统功耗过大,不利于片内集成. 因此,本文设计了一种用于一款专用无磁计量芯片内的低频 CMOS

晶振电路,其振荡频率为32.768 kHz. 由于在CMOS电路中低频起振难度较大,所以,在保证电路能有效起振的同时,大幅度降低其功耗以满足整个系统的要求是电路设计的一个难点.

本文对传统皮尔斯结构进行了改进,并加入一种推拉式电路结构,在保证快速起振的同时,大幅度降低了电路的功耗.

收稿日期: 2009-04-20.

基金项目: 天津市科技支撑计划重点资助项目(08ZCKFGX00200).

作者简介: 赵毅强(1964—), 教授,主要从事模拟及混合信号集成电路设计方面的研究, E-mail: zyzq9068@sina.com.

1 基本皮尔斯振荡电路

基本的 CMOS 皮尔斯结构,如图 1 所示^[2]. 放大部分由一个 MOS 管 N1 构成,P1 为电流源负载,反馈电阻 Rf 提供偏置,为了减小负载效应和降低功耗,Rf 应取较大值.

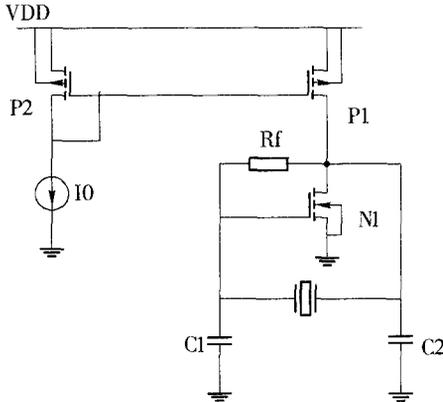


图 1 基本 CMOS 皮尔斯结构
Fig.1 Basic CMOS Pierce structure

使晶体振荡器维持稳定振荡的临界跨导^[3]为

$$g_{\text{merit}} \approx (2\pi f_0)^2 R_m \frac{[C_1 C_2 + C_0(C_1 + C_2)]^2}{C_1 C_2} + \frac{C_2}{C_1} g_1 + \frac{C_1}{C_2} g_2 \quad (1)$$

由式(1)可见,临界跨导与谐振频率的平方、晶体的动态电阻和等效负载电容的平方成正比. g1 和 g2 作为损耗需要额外的跨导加以补偿. 对于由单一 MOS 管构成放大器件的电路来说,直流电流会随着振荡幅度的增加而增大,而且一般来说,会大于临界电流 I_{olim},其中 I_{olim} = g_{merit} u₁/2.

图 2 中左边电路下面的部分等效于负阻^[4] RC 与 CC 的串联,根据计算出的临界跨导值就可以使电路产生适当的等效负阻 RC 来补偿晶体的正电阻,从而实现有效振荡.

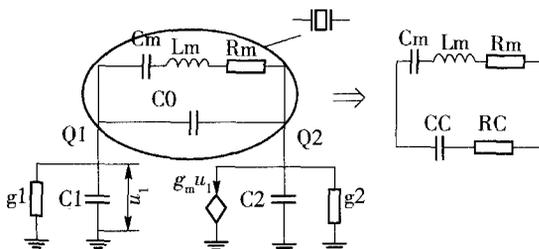


图 2 皮尔斯结构的小信号等效模型
Fig.2 Small signal model of Pierce structure

本起振电路设计的目的是为一款专用计量芯片

提供 32.768 kHz 的时钟信号,由于起振频率很低,所以需要增大等效电容 CC 的值才能使电路有效起振并提高振荡频率的稳定性. 但是,大的电容值会使通过晶体的充放电电流比较大,增加电路的功耗,给整个片上系统的设计带来较大负担,因此,需要对这种基本结构进行改进,使其能在有效起振的基础上降低功耗,从而满足系统对于功耗的要求.

2 电路改进

功耗的降低主要可以从降低电源电压和减小电流 2 个方面考虑. 然而,由于该起振模块被集成在整个系统内部,其电源电压(3.3 V)由整个系统确定,因此不具有选择性;所以,只能从减小起振电路本身工作电流的角度考虑降低功耗.

为了减小电流,对图 1 的结构加以改进. 如图 3 所示,该电路中放大部分由 N 管和 P 管串联得到,在图 4 的小信号等效电路中 2 个管子是并联的,因此,总跨导是 2 个管子跨导的和. 同样是以电流源作为负载,与单管放大相比,只需要一半的电流就可以获得同样的跨导值,从而可以降低功耗,但是这样的结构会对电源电压的要求有所提高. 解决这个问题简单有效的方法就是用 1 个电容将输入信号与电流镜的共栅极耦合在一起,电流镜作为放大管 N1 的负载. 如图 5 所示,这种结构被称为推拉式晶体振荡电路^[5].

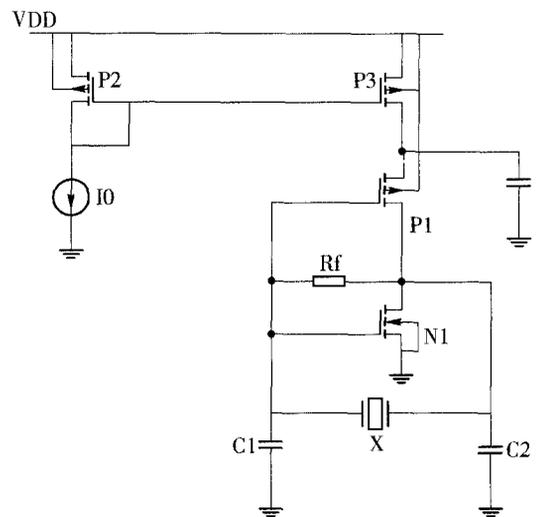


图 3 2 个管子作放大电路的皮尔斯结构
Fig.3 Pierce structure with two transistors as amplifier

欲减小功耗,需要 N1 管和 P1 管都工作在饱和区且 2 个管子有各自独立的偏置,因为这样可以减

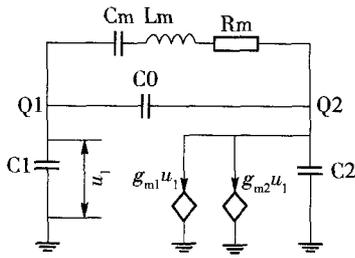


图4 小信号等效电路

Fig.4 Equivalent circuit of small signal

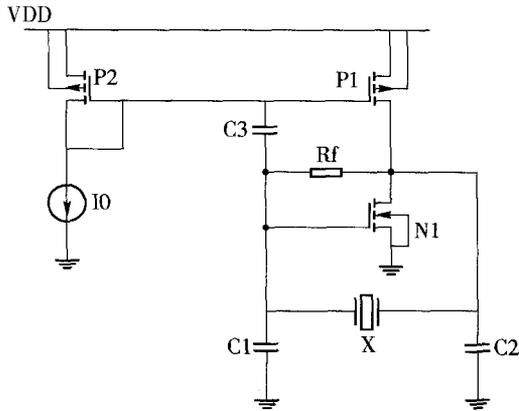


图5 推挽式晶振电路

Fig.5 Push-pull type crystal oscillator circuit

小过驱动电压,从而进一步降低电流. 2个管子的偏置由电容 C3 隔开, N1 管由反馈电阻自偏置得到, P1 管的偏置由电流源得到. 同时,为了进一步降低功耗,电流镜 P1/P2 的宽长比应该设得比较大,这样就可以使偏置电流 I_0 较小,节省功耗.

这种推挽式晶体振荡器结构除了具有低功耗的优势,还更容易获得轨到轨的输出脉冲. 如图6所示,输出级仅由 N2 和 P3 两个管子构成,与普通放大电路相比,此输出级^[6]不需要额外的电流源或耦合电容,因为这2个管子并不同时导通. 输出级的转换速率由管子 N2/N1 和 P3/P1 决定.

如图7所示,改进型推挽式晶振电路比原来增加了电阻 R1、R4、R5、R6,其中放大电路采用带源级负反馈的共源级代替单独的 MOS 管,其等效跨导为

$$G_m = \frac{g_m}{1 + g_m R_s} \quad (2)$$

式中, R_s 为源级负反馈电阻,在小电流时, $1/g_m \gg R_s$, 所以 $G_m \approx g_m$. 随着过驱动电压的增加, g_m 变大,由于负反馈效应,使得输入电压较大时, G_m 接近于 $1/R_s$, 趋于稳定,不再增大,此时 MOS 管仍工作在饱和区. 由于放大器的增益不再增大,起到了限幅的作用,使得振荡达到稳定. 此外,源极负反馈的另一

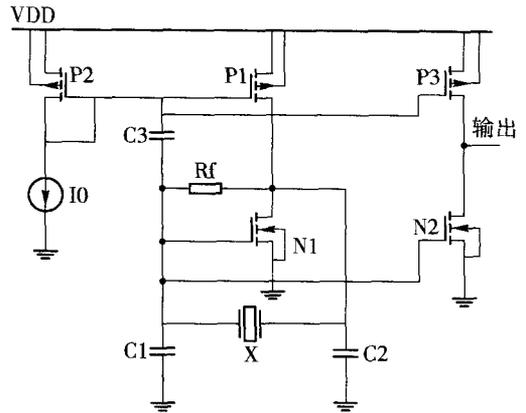


图6 加了输出级的晶振电路

Fig.6 Crystal oscillator circuit with output-stage

个重要作用在于增大共源级的输出电阻. 输出电阻为

$$R_o = [1 + (g_m + g_{mb}) R_s] r_o \quad (3)$$

表明输出阻抗增大了 $(g_m + g_{mb}) R_s$ 倍,从而进一步降低了功耗^[7]. 输出级 N2、P3 管工作在非线性区, R5、R6 作为限流电阻降低了输出级的电流.

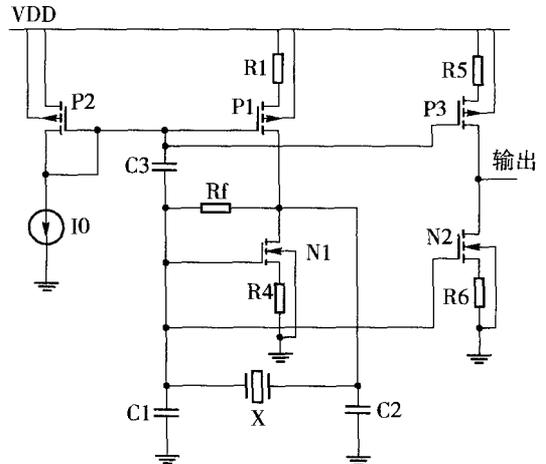


图7 改进型推挽式晶振电路

Fig.7 Improved push-pull type crystal oscillator circuit

经过不断改进,最终设计的晶振电路如图8所示,该电路可划分为3部分.

第1部分由 P1、N1、N5、C1、C2、C3、R1、R4 及晶体 X 组成,它们共同构成了基本的正弦波晶体振荡器. 其中, P1 为放大部分; N5 为 NMOS 管构成的反馈电阻; C1、C2 与晶体 X 依据皮尔斯振荡电路的原理一起构成了选频网络.

第2部分由 P2、P4、P5 和 N2、N4 构成偏置网络. 由于整个芯片存在休眠模式,需要通过关闭和

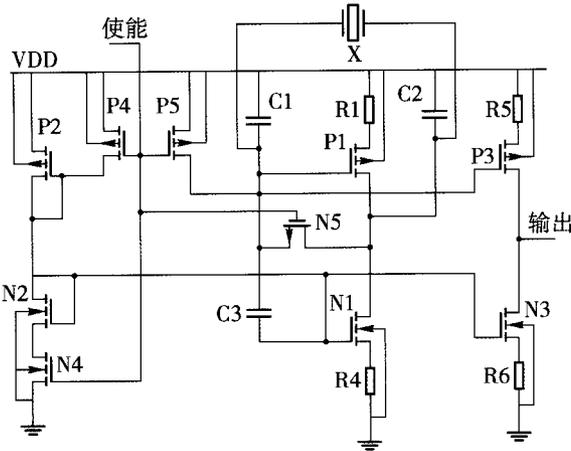


图 8 完整推拉式晶振电路

Fig. 8 Final circuit of the push-pull type crystal oscillator

开启时钟模块来实现, 因此, 电路中设有使能控制端. 当使能控制端为低电平时 N4 截止, 同时 P2、P3 截止, 使输出始终为低.

第 3 部分由 P3、N3、R5、R6 共同组成输出级, 将得到的正弦波转化为矩形脉冲.

需要说明的是, 对于低频率的时钟而言, 能实现有效起振是一个设计重点, 而要使时钟模块在休眠状态重新被唤醒, 这时起振的难度会更大. 其原因是负载电容此时已经被充电到一个静态值, 而且通常电源电压在此时也达到了相对比较稳定的状态, 很难提供噪声辅助起振. 因此, 从休眠状态唤醒时钟需要更长的时间. 为了解决这个问题, 除了电容值、电阻值的选取之外, 还采用了下面 2 种方法:

1) 唤醒时通过使能信号将反馈电阻 N5 的栅极置高, N5 的源极与漏极分别与放大器的输入端和谐振回路的输入端直接相连. 当栅极突然升高时, 由于栅漏电容和栅源电容两端电压无法迅速跳变, 会给电路提供噪声信号, 能加快时钟模块的起振速率.

2) 一般来说, 谐振回路中的 2 个电容 C1、C2 均与地相连, 但此处改为与电源相连, 是为了从电源电压引入噪声, 使电路迅速起振.

3 仿真及测试结果

仿真时石英晶体的各项参数为: $R_1 = 35 \text{ k}\Omega$, $L = 7.795 \text{ kH}$, $C_L = 12.5 \text{ pF}$, $C_1 = 3.0 \text{ fF}$, $C_0 = 1.35 \text{ pF}$. 其中: R_1 为晶体等效串联电阻; L 为晶体的等效电感; C_L 为负载电容; C_1 为动态电容; C_0 为静态电容.

本设计采用 Chartered 的 $0.35 \mu\text{m}$ 工艺模型对图 8 所示电路进行仿真, 可以得到晶振电路稳定工作时的电流波形 (见图 9) 和经输出级后的起振波形

(见图 10). 通过计算可得晶振稳定后的平均工作电流只有 $0.361 \mu\text{A}$, 并且起振时间^[8]小于 200 ms , 实现了低频晶振电路的快速起振, 并且功耗很低, 满足了整个计量芯片对于时钟电路的要求.

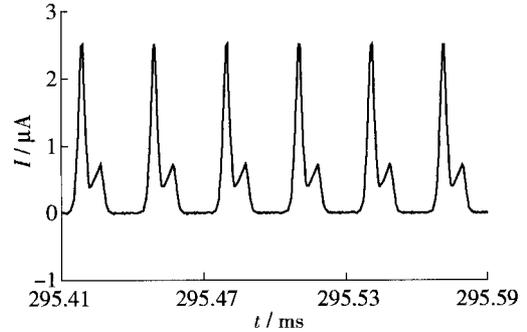


图 9 稳定工作时振荡电流波形

Fig. 9 Current waveform of the oscillator working stably

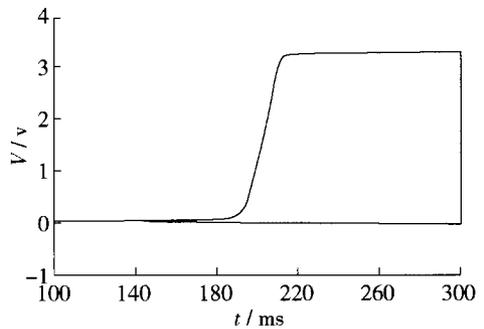


图 10 起振波形

Fig. 10 Waveform of oscillating

所设计的低频起振电路的部分版图照片如图 11 所示, 其完整版图面积小于 $190 \mu\text{m} \times 130 \mu\text{m}$, 现已成功流片. 测试结果表明, 该电路可稳定输出频率为 32.77 kHz 的方波信号, 稳定后平均工作电流为 $0.39 \mu\text{A}$, 排除测量误差影响基本符合设计指标;

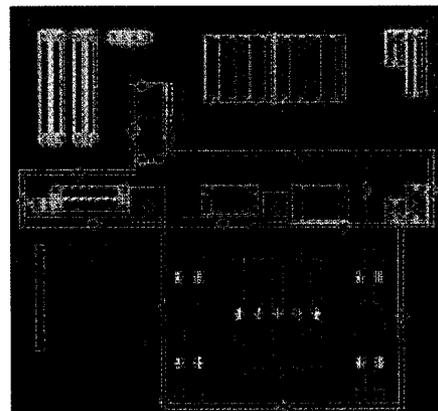


图 11 晶振电路版图照片

Fig. 11 Layout of the oscillator

可通过将使能端置为低电平(0 V)关闭整个晶振电路,使其处于休眠模式,或将使能端置高重新开启晶振.

4 结论

本文针对一款专用无磁计量芯片的需求,在传统皮尔斯结构晶振电路的基础上,设计了一种改进型推拉式晶振电路. 仿真和测试结果表明,所设计的晶振电路能在保证有效起振的同时,大幅度降低功耗,稳定后的平均工作电流只有 $0.361 \mu\text{A}$,并且起振时间小于 200 ms,实现了低频低功耗起振,满足了系统对于频率和功耗的双重要求. 经流片测试电路工作正常,现已集成于 SOC 计量芯片内. 经测试芯片工作正常,满足功耗要求.

参考文献:

- [1] RAZAVI B. Design of analog CMOS integrated circuits [M]. London: McGraw-Hill, 2001: 391-409.
- [2] HOSAKA K, HARASE S, IZUMIYA S, et al. A cascode crystal oscillator suitable for integrated circuits [J]. Frequency Control Symposium and PDA Exhibition, 2002, 29(31): 610-614.
- [3] 陈曙, 刘三清. CMOS 石英晶体振荡器的设计与实现 [J]. 电子工程师, 2004, 30(11): 30-32.
CHEN Shu, LIU San-qing. Design and realization of a CMOS quartz crystal oscillator [J]. Electronic Engineer, 2004, 30(11): 30-32. (in Chinese)
- [4] 王跃, 张晰泊, 王彬, 等. 用于 RTC 的 32.768 kHz 晶振电路的设计 [J]. 南开大学学报, 2007, 40(2): 95-98.
WANG Yue, ZHANG Xi-bo, WANG Bin, et al. A 32.768 kHz crystal oscillator for RTC [J]. Journal of Nankai University, 2007, 40(2): 95-98. (in Chinese)
- [5] 陈钊, 刘三清. 一种压控石英晶体振荡器电路的设计 [J]. 华中科技大学学报, 2001, 29(1): 56-58.
CHEN Zhao, LIU San-qing. The circuit design of a voltage-controlled crystal oscillator [J]. J Huazhong Univ of Sci & Tech, 2001, 29(1): 56-58. (in Chinese)
- [6] 袁涛, 王华. 一种 CMOS 电流控制振荡器的分析与设计 [J]. 微电子学, 2005, 35(6): 662-664.
YUAN Tao, WANG Hua. Analysis and design of a CMOS current-controlled oscillator [J]. Microelectronics, 2005, 35(6): 662-664. (in Chinese)
- [7] PAUL R G, ROBERT G M. MOS operational amplifier design: a tutorial overview [J]. IEEE Journal of Solid-State Circuits, 1982, 12(17): 969-982.
- [8] RUSZNYAK A. Start-up time of CMOS oscillators [J]. IEEE Transactions on Circuits and Systems, 1987, 34(3): 259-268.

(责任编辑 梁洁)